

JAPIC  
MANUFACTURE OF CAPACITOR FOR SEMICONDUCTOR DEVICE  
SAN HO SON  
PA LG SEMICON CO LTD  
PI JP 11238863-A 19990831 Heisei 102-intermediate date  
AI JP 1998-355955 (JP10355955 Heisei) 19981215  
PRAI KR 1997-75401 19971227  
KR 1998-39494 19980923  
SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 1999

IC ICM H01L027-108

ICS H01L021-8242; H01L021-20; H01L027-04; H01L021-822

AB PROBLEM TO BE SOLVED: To prevent a reduction in the size of a hemispherical crystal in the surface of the lower electrode of a capacitor and a reduction in the density of the hemispherical crystal and to contrive to maximize the capacitance of the capacitor, by a method wherein, after the lower electrode consisting of amorphous silicon layers is formed on a substrate, a material for making low the crystallization temperature of the amorphous silicon layers is made to contain in the surface of the lower electrode to heat-treat the electrode, and the surface of this electrode is formed into hemispherical crystals. SOLUTION: A second amorphous silicon layer is etched back and thereafter, a second insulating layer only is removed to form lower electrodes 45 of a capacitor of a cylinder structure. When Ge gas is contained in a lower electrode 45, which consists of a first amorphous silicon layer and a second amorphous silicon layer 43, of a capacitor, the crystallization temperature of the first and second amorphous silicon layers becomes lower than the of the silicon layer. Accordingly, the silicon layers are crystallized only in the surface of the lower electrode or the crystallization speed of the silicon layers is made faster than that of the interior of the electrode. There, an oblique ion-implantation is performed on the silicon layers with  $\text{GeF}_4$  gas in a concentration of  $10^{16}/\text{cm}^2$  and at an angle of 14 to 15 degrees or the  $\text{GeF}_4$  gas is fed in a chamber in a high vacuum or inert gas atmosphere, Ge ions are diffused in the silicon layers and the silicon layers are heat-treated.

DERWENT-ACC-NO: 2000-584653

DERWENT-WEEK: 200136

COPYRIGHT 2002 DERWENT INFORMATION LTD

*Bad Date  
intermediate date*

TITLE: Electrode formation method for capacitor used in DRAM - involves heat treating lower electrode containing amorphous silicon and germanium ion to form hemispherical crystal on surface

INVENTOR: SOHN, S H

PRIORITY-DATA: 1997KR-0075401 (December 27, 1997)

## PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
KR 99062508 A	July 26, 1999		000	H01L027/108
JP 11238863 A	August 31, 1999		004	H01L027/108

INT-CL (IPC): H01 L 21/20; H01 L 21/822; H01 L 21/8242; H01 L 27/04; H01 L 27/108

ABSTRACTED-PUB-NO: JP 11238863A

## BASIC-ABSTRACT:

NOVELTY - Amorphous silicon including Ge ion for reducing crystallization temperature, is formed on substrate as lower electrode (45). Hemisphere type crystal are formed on lower electrode surface by heat treatment. Subsequently, dielectric film and the upper electrode are formed.

USE - For capacitor used in DRAM.

ADVANTAGE - Hemisphere type crystal of large size and density are formed at the time of formation of lower electrode of capacitor and hence effective area of capacitor is raised.

DESCRIPTION OF DRAWING(S) - The figure shows process sectional view explaining the manufacturing method of capacitor of semiconductor device. (45) Lower electrode.

## ABSTRACTED-PUB-NO:

KR 99062508A EQUIVALENT-ABSTRACTS:

NOVELTY - Amorphous silicon including Ge ion for reducing crystallization temperature, is formed on substrate as lower electrode (45). Hemisphere type crystal are formed on lower electrode surface by heat treatment. Subsequently, dielectric film and the upper electrode are formed.

USE - For capacitor used in DRAM.

ADVANTAGE - Hemisphere type crystal of large size and density are formed at the time of formation of lower electrode of capacitor and hence effective area of capacitor is raised.

DESCRIPTION OF DRAWING(S) - The figure shows process sectional view explaining the manufacturing method of capacitor of semiconductor device. (45) Lower electrode.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238863

(43) 公開日 平成11年(1999) 8月31日

(51) IntCl.<sup>6</sup> 識別記号  
H 0 1 L 27/108  
21/8242  
21/20  
27/04  
21/822

F I  
H 0 1 L 27/10 6 2 1 C  
21/20  
27/04 C  
27/10 6 2 1 Z

審査請求 未請求 請求項の数 5 O L (全 4 頁)

(21) 出願番号 特願平10-355955  
(22) 出願日 平成10年(1998)12月15日  
(31) 優先権主張番号 7 5 4 0 1 / 1 9 9 7  
(32) 優先日 1997年12月27日  
(33) 優先権主張国 韓国 (K R)  
(31) 優先権主張番号 3 9 4 9 4 / 1 9 9 8  
(32) 優先日 1998年9月23日  
(33) 優先権主張国 韓国 (K R)

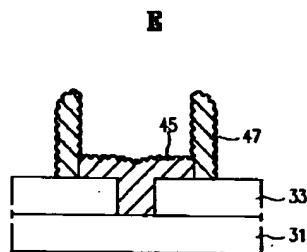
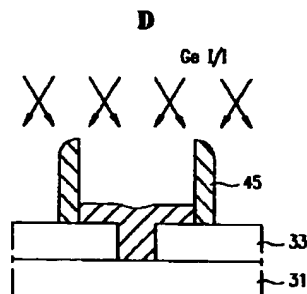
(71) 出願人 591044131  
エルジイ・セミコン・カンパニー・リミテ  
ッド  
大韓民国 チュングチェオンブグド チ  
ェオンジュシ・ヒュンダーク・ヒャン  
ギェオン・ドン・1  
(72) 発明者 サン・ホ・ソン  
大韓民国・プサン・シ・プランジニーク・  
ヤンジョン・4・ドン・44-57・4/4  
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体デバイスのキャパシタの製造方法

(57) 【要約】

【課題】 キャパシタの下部電極の形成時に形成させる半球形結晶のサイズや密度を大きくする。

【解決手段】 基板上に、非晶質シリコンからなる下部電極を形成した後、非晶質シリコンの結晶化温度を低くする物質を下部電極の表面に含ませて熱処理を施し、下部電極の表面を半球形結晶に形成することを特徴とする。



## 【特許請求の範囲】

【請求項1】 基板上に、非晶質シリコンからなる下部電極を形成する工程と、

非晶質シリコンの結晶化温度を低くする物質を下部電極の表面に含ませる工程と、

熱処理を施して下部電極の表面部に半球形結晶を形成する工程と、

下部電極上に誘電膜を、誘電膜上に上部電極を形成する工程とを備えることを特徴とする半導体デバイスのキャパシタの製造方法。

【請求項2】 結晶化温度を低くする物質はGeイオンであることを特徴とする請求項1記載の半導体デバイスのキャパシタの製造方法。

【請求項3】 下部電極の表面にGeイオンを含ませる工程においては、GeF<sub>4</sub> ガスを用いて傾斜イオン注入することを特徴とする請求項2記載の半導体デバイスのキャパシタの製造方法。

【請求項4】 下部電極の表面にGeイオンを含ませる工程においては、チャンバ内にGeF<sub>4</sub> ガスを供給し拡散させることを特徴とする請求項2記載の半導体デバイスのキャパシタの製造方法。

【請求項5】 結晶化のための熱処理温度は550～600℃であることを特徴とする請求項1記載の半導体デバイスのキャパシタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体デバイスに関し、特にキャパシタンスを最大限に確保できるようにキャパシタの下部電極を形成した半導体デバイスのキャパシタの製造方法に関する。

## 【0002】

【従来の技術】最近、DRAMの集積度を向上させるために、セルサイズ及びセル面積を減少させる努力が払われている。キャパシタのキャパシタンスを増加させるために提示されたものがスタック型のキャパシタ或いはトレンチスタック型のキャパシタである。一般に、DRAMは、キャパシタの下部電極と上部電極との有効面積が大きくなるほどキャパシタンスが増大する。このため、キャパシタの下部電極の表面に細かい凹凸を多数形成してキャパシタンスを増加させようとしている。

【0003】以下、従来の半導体メモリ素子の製造方法を図1により説明する。図1aに示すように、トランジスタなどの素子（図示せず）を形成した基板11上に第1絶縁層13を形成する。次いで、キャパシタの下部電極と基板11との電気的な接触のために、第1絶縁層13を選択的に取り除いてコンタクトホール15を形成する。図1bに示すように、コンタクトホール15を含む基板11の全面に、不純物のドーパされた第1非晶質シリコン層17を形成する。この後、第1非晶質シリコン層17上に第2絶縁層19を積層形成し、第2絶縁層1

9上にフォトレジスト21を塗布する。露光及び現像工程を用いてフォトレジスト21をパターニングする。図1cに示すように、パターニングされたフォトレジストをマスクとして用いてエッチング工程で第2絶縁層19及び第1非晶質シリコン層17を選択的に取り除く。この後、第2絶縁層19を含む全面に、不純物のドーパされた第2非晶質シリコン層23を形成する。

【0004】図1dに示すように、第2非晶質シリコン層23をエッチバックした後、第2絶縁層19のみを取り除いて円筒状、又はその他の形の筒状に形成したシリンドラ構造のキャパシタの下部電極25を形成する。この後、高真空状態又は不活性ガス雰囲気中でシリコンを含有するガス、例えばSiH<sub>4</sub>、SiH<sub>6</sub>等を注入して結晶核27を形成する。図1eに示すように、熱処理工程を施してシリンドラ状のキャパシタの下部電極25の表面に半球形結晶を形成させたシリコン膜29を形成する。このときの熱処理時の温度は550～700℃である。

## 【0005】

【発明が解決しようとする課題】しかし、従来の半導体デバイスのキャパシタの製造方法では次のような問題点があった。キャパシタの下部電極をシリンドラ状にするために第2非晶質シリコン層23を形成する間に、先に形成された第1非晶質シリコン層19の膜質が変化して結晶核や近距離秩序を有する核が生成される。その際、高真空状態で熱処理するので、表面のシリコン原子の移動度が減少して半球形結晶のサイズが減少し、かつその密度も減少する。本発明は上記の問題点を解決するためになされたものであり、その目的は、キャパシタの下部電極表面に形成される半球形結晶のサイズや密度の減少を防止してキャパシタンスを極大化できる半導体デバイスのキャパシタの製造方法を提供することにある。

## 【0006】

【課題を解決するための手段】上記の目的を達成するための本発明の半導体デバイスのキャパシタの製造方法は、基板上に、非晶質シリコンからなる下部電極を形成した後、非晶質シリコンの結晶化温度を低くする物質を下部電極の表面に含ませて熱処理を施し、下部電極の表面を半球形結晶に形成することを特徴とするものである。

## 【0007】

【発明の実施の形態】以下、本発明実施形態の半導体デバイスのキャパシタの製造方法を添付図面により説明する。本実施形態の半導体デバイスのキャパシタの製造方法は、非晶質シリコンにGeイオンが加えられる場合に非晶質シリコンのシリコン原子の移動度が増加するという効果を利用する。図2～図3は本発明実施形態の半導体デバイスのキャパシタの製造方法を説明するための工程断面図である。図2aに示すように、素子（図示せず）の形成された基板31上に第1絶縁層33を形成する。次いで、後で形成するキャパシタの下部電極と基板

31との電気的な接触のために、第1絶縁層33を選択的に取り除いてコンタクトホール35を形成する。図2bに示すように、コンタクトホール35を含む基板31の全面に不純物のドーパされた第1非晶質シリコン層37を形成する。この後、第1非晶質シリコン層37上に第2絶縁層39を積層形成し、第2絶縁層39上にフォトレジスト41を塗布する。露光及び現像工程を用いてフォトレジスト41をパターニングする。このフォトレジストの平面形状は周知のようにシリンダ状のキャパシタの下部電極の内側平面形状と同じである。図2cに示すように、パターニングされたフォトレジストをマスクとして用いてエッチング工程で第2絶縁層39及び第1非晶質シリコン層37を選択的に取り除く。そして、第2絶縁層39を含む全面に不純物のドーパされた第2非晶質シリコン層43を形成する。

【0008】図3dに示すように、第2非晶質シリコン層43をエッチバックした後、第2絶縁層39のみを取り除いてシリンダ構造のキャパシタの下部電極45を形成する。第1非晶質シリコン層37と第2非晶質シリコン層43とからなるキャパシタの下部電極45にGeガスが含まれていると、結晶化温度がシリコン層よりも低くなる特性がある。このため、下部電極の表面のみで結晶化するか、又は下部電極の表面の結晶化速度を下部電極の内部よりも速くするために、下部電極の表面に200~400Åの深さにGeイオンを注入する。

【0009】図3eに示すように、Geイオンを拡散させる。Geイオンを拡散させる方法には、GeF<sub>4</sub>ガスを用いて10E16/cm<sup>2</sup>（体積に換算した濃度は10E31/cm<sup>3</sup>）の濃度、14~45度の角度で傾斜イオン注入する第1方法、そして高真空或いは不活性ガスの雰囲気チャンバにGeF<sub>4</sub>ガスを供給する第2方法がある。Geイオンの拡散された下部電極の表面の結晶化温度は550~600℃程度であり、Geの拡散されない下部電極の内部の結晶化温度は600~650℃程度である。従って、550~600℃程度で熱処理する場合、下部電極の表面で大部分結晶化されるため、所望の半球形結晶を備えた表面、すなわち細かい多数の凹凸を有する表面が得られる。なお、半球形結晶を形成させる工程自体は従来と異なるところはない。すなわち、Geイオンがシリコンに接すると、シリコン原子の移動度が増加し、これにより後工程の熱処理時に密度やサイ

ズの大きな半球形結晶が得られる。また、シリコン原子の移動度が増加するので、低温度でも工程が可能であり、熱処理の温度を減少させることができる。

【0010】次いで、図示していないが、表面に半球形結晶を持つキャパシタの下部電極45上に、誘電体膜を堆積し、その上にキャパシタの上部電極（通常、不純物のドーパされたポリシリコン層）を形成することにより、キャパシタを製造する。

【0011】

- 10 【発明の効果】請求項1、2、4の発明は、キャパシタの下部電極を形成するにあたって、下部電極として用いられる非晶質シリコン層の表面に、シリコン原子の移動度を向上させるGeイオンを注入して熱処理するので、得られる下部電極の表面に粒子サイズ及び密度の大きな半球形結晶を形成することができる。これにより、キャパシタの有効面積を向上させることができる。請求項3の発明は、Geイオンの注入時にチルトイオン注入しているため、キャパシタの下部電極の形状がシリンダ形状であっても、下部電極の全表面にわたって半球形の均一の結晶を形成させることができる。請求項5の発明は、結晶化のための熱処理温度が、一般的な非晶質シリコンよりも低い場合、熱処理によるキャパシタの下部電極の表面部以外の影響を減少させることができる。

【図面の簡単な説明】

【図1】 従来技術による半導体デバイスのキャパシタの製造方法を説明するための工程断面図。

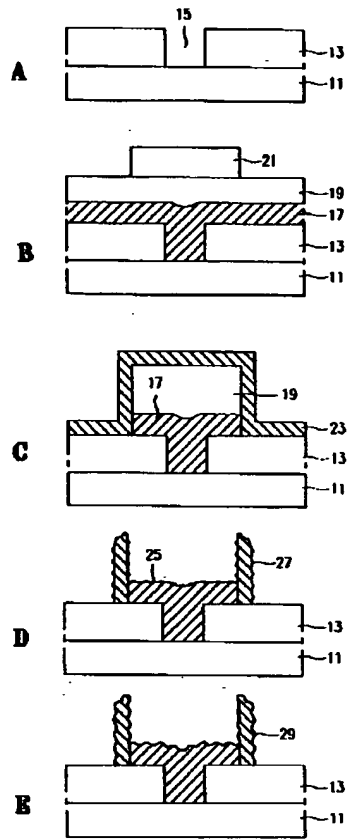
【図2】 本発明実施形態による半導体デバイスのキャパシタの製造方法を説明するための工程断面図。

- 30 【図3】 本発明実施形態による半導体デバイスのキャパシタの製造方法を説明するための工程断面図。

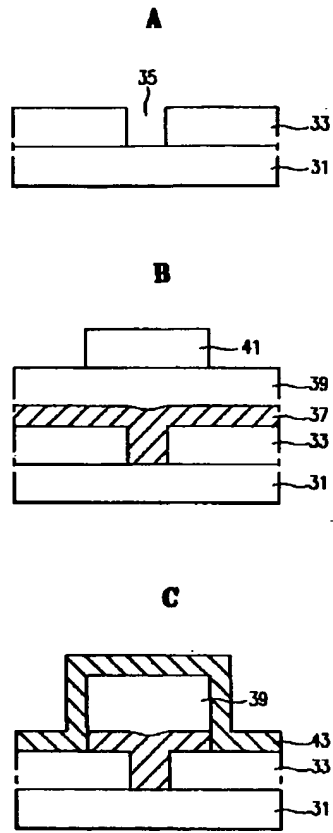
【符号の説明】

- 11、21 基板  
13、23 第1絶縁層  
15、25 コンタクトホール  
17、27 第1非晶質シリコン層  
19、29 第2絶縁層  
21、41 フォトレジスト  
23、43 第2非晶質シリコン層  
25、45 キャパシタの下部電極  
40 27 結晶核  
29、47 半球形結晶が形成された膜

【図1】



【図2】



【図3】

